

引用格式:廉晶汇,赵旦峰,朱鹏景. 多码长码率兼容的多元 LDPC 码及编码器设计[J]. 微电子学与计算机,2020,37(4):55-59. [LIAN J H,ZHAO D F,ZHU P J. Multi-length and multi-rate compatible nonbinary LDPC code and encoder design[J]. Microeletronics & Computer,2020,37(4):55-59.]

多码长码率兼容的多元 LDPC 码及编码器设计

廉晶汇,赵旦峰,朱鹏景

(哈尔滨工程大学 信息与通信工程学院,哈尔滨 150001)

摘 要: 为适应海上无线通信信道的时变特性,突破多元 LDPC 码长码率不兼容的技术现状,构造一种多码长码率兼容的多元 LDPC 码,可以实现在多种码长、多种码率间的相互兼容,并完成编码器的设计. 借鉴 5G 二元 LDPC 码校验矩阵的特殊结构并将其扩展至伽罗华域,设计的多元 LDPC 码在兼容多码长码率的同时,又拥有优秀译码性能和较低的硬件实现复杂度. 该设计在 Xilinx xc7k325tffg900-2 芯片上进行实现,采用部分并行的编码方式,兼顾编码效率和硬件开销,可以实现五种信息位长和五种码率间灵活切换. 工作时钟频率可达 370 MHz,在该时钟频率下编码器吞吐率最高可达 601.8 Mbps.

关键词: 多码长码率兼容;多元 LDPC;编码器;5G

中图分类号: TN911.22

文献标识码: A

文章编号: 1000-7180(2020)04-0055-05

Multi-length and multi-rate compatible nonbinary LDPC code and encoder design

LIAN Jing-hui,ZHAO Dan-feng,ZHU Peng-jing

(Information and Communication Engineering, Harbin Engineering University, Harbin 150001, China)

Abstract: In order to adapt to the time-varying channels for maritime wireless communication systems and break through the current state on length and rate incompatibility of nonbinary LDPC. We construct a nonbinary LDPC code which compatible between multiple lengths and multiple rates, and complete the design of the encoder. Drawing on the special structure of the 5G binary LDPC check matrix and extending it to the Galois field. The designed nonbinary LDPC check matrix not only compatible between length and rate, but also has excellent decoding performance and low hardware implementation complexity. The design is implemented on the Xilinx xc7k325tffg900-2 chip. It adopts partial parallel encoding, taking into account the coding efficiency and hardware overhead. It can realize flexible switching between five information lengths and five code rates. The working frequency of the clock can reach 370MHz, and the encoder throughput can reach up to 601.8Mbps at this clock frequency.

Key words: length and rate compatible; nonbinary LDPC; encoder; 5G

1 引言

海上舰船通信具有高效、可靠的要求,而海上无线通信系统信道具有时变特性. 为了构建可靠的海

上舰船通信网,满足海上复杂环境下的通信需求,需要一套兼容多码长、多码率且具有优异性能的通信方案,能够最大化系统吞吐量,提升海上舰船综合能力.

低密度奇偶校验码(Low-Density Parity-Check Codes, LDPC)^[1]是一种性能逼近香农极限的好码,目前二元 LDPC 已广泛应用到实际生活中,如 802.11n^[2]和 5G^[3]标准.而多元 LDPC(nonbinary LDPC, NB-LDPC)相较于二元 LDPC 拥有更好的译码性能和更低的错误平层^[4],日益受到人们的关注.码率兼容多元 LDPC(Rate-Comatible NB-LDPC, RC-NB-LDPC)是指采用一套编译码器就能实现相同长信息位不同码率的编译码方案,能够适应复杂的通信环境,满足多种通信需求.目前,RC-NB-LDPC 多采用打孔和缩短的方法实现码率兼容^[5].文献[6]采用基模图的结构化打孔设计方法,使得打掉部分校验位后仍然拥有较好的译码性能.文献[7]所提出缩短信息比特的方法是根据二值图像的度分布仔细选择,优化缩短信息比特后的性能.文献[8]设计了一种码长固定的多码率 LDPC 码编译码器,通过减少信息位、增加校验位的方式来降低码率,实现码率间的兼容.但上述方法在兼容多码率的同时难以实现多码长的兼容,不能完全满足海上舰船通信的需求.

5G 确定了 eMBB 场景中 LDPC 码的编码标准,其采用类 Raptor^[9]的矩阵扩展结构,能够兼容多码长、多码率且降低了编码器硬件实现的复杂度.因此,本文参考 5G 校验矩阵的结构,在伽罗华域上构造多元 LDPC 码校验矩阵,实现多元 LDPC 码多码长、多码率的兼容,并基于 FPGA 完成编码器的设计.

2 校验矩阵构造

LDPC 码的校验矩阵不仅影响着 LDPC 码的译码性能和错误平层,还决定了码长、码率的兼容情况以及编译码器的硬件开销.为实现多码长码率兼容的多元 LDPC 码,首先要从校验矩阵的设计着手.

2.1 5G LDPC 矩阵构造

图 1 为 5G 中二元 LDPC 基矩阵 BG1 的结构图^[10],该结构能够实现二元 LDPC 多种码长多种码率之间的相互兼容,校验矩阵由五个部分组成:子矩阵 **A** 对应系统比特,即信息位;子矩阵 **D** 是方阵,对应校验比特;子矩阵 **O** 为零阵;子矩阵 **I** 为单位阵. $[A D]$ 构成校验矩阵的内核,即高码率部分, $[E I]$ 构成校验矩阵的扩展部分,并构成了单奇偶校验关系.由内核矩阵向外添加行列矢量,从而实现了由高码率向低码率的兼容;利用准循环结构,通过支持多

组提升因子的可伸缩块长度^{[11][12]},实现不同码长之间的转换.

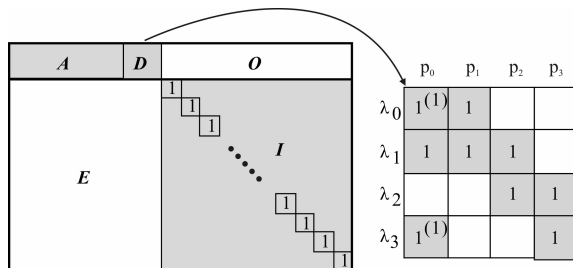


图 1 5G 标准 LDPC 码基矩阵 BG1 阵结构图

矩阵 **D** 的首列列重为 3,其后的列具有双对角线结构,如图 1 所示.这种结构可以有效降低错误平层,同时大大简化编码复杂度,编码时可直接由校验矩阵进行编码,无需产生生成矩阵.矩阵右上方括号内的数为矩阵的循环移位系数,其编码方式如下:

编码的码字矢量 $c = [u, p]$,其中 u 为信息比特矢量, p 为校验比特矢量,矢量 $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ 是子矩阵 **A** 与信息比特矢量转置 u^T 的乘积,矢量 p_0, p_1, p_2, p_3 为子矩阵 **D** 对应的校验比特矢量,由于码字矢量 C 与校验矩阵正交则有:

$$\begin{cases} \lambda_0 + p_0^{(1)} + p_1 = 0 \\ \lambda_1 + p_0 + p_1 + p_2 = 0 \\ \lambda_2 + p_2 + p_3 = 0 \\ \lambda_3 + p(1)_0 + p_3 = 0 \end{cases} \Leftrightarrow \begin{cases} \lambda_0 = p_0^{(1)} + p_1 \\ \lambda_1 = p_0 + p_1 + p_2 \\ \lambda_2 = p_2 + p_3 \\ \lambda_3 = p(1)_0 + p_3 \end{cases} \quad (1)$$

二元 LDPC 的加法运算为模二和运算,因此将 (1) 中右式等号两侧分别求和,可得到:

$$\lambda_0 + \lambda_1 + \lambda_2 + \lambda_3 = p_0 \quad (2)$$

由此解得 P_0 ,将 p_0 矢量代入式(1),即可求得 p_0, p_1, p_2 ,子矩阵 **D** 对应的校验比特全部求得.根据 p_0, p_1, p_2, p_3 的计算结果,由式(3)其余校验比特矢量易于求得,其中 E_i^T 为子矩阵 **E** 第 i 行对应矩阵的转置.

$$P_{i+} = [u, p_0, p_1, p_2, p_3] E_i^T \quad (i = 0, 1, 2, \dots) \quad (3)$$

得益于矩阵 **D** 的特殊结构,校验矢量可直接由 λ 求出,避免存储生成矩阵进行编码,减少了硬件开销.并且对于各个校验矢量的计算,非常适合采用硬件并行的方式来实现.

2.2 多元 LDPC 码校验矩阵设计

参考 5G 校验矩阵的结构形式,将其扩展至伽罗华域 $GF(q)$.为降低编码复杂度,对子矩阵 **D** 的设计如图 2 所示.

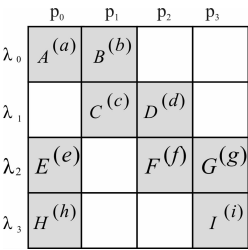


图 2 多元 LDPC 基矩阵 D 结构图

$A, B, C, D, E, F, G, H, I$ 为各自矩阵的有限域系数,满足 $A, B, C, D, E, F, G, H, I \in [1, 2, 3, \dots, q-1]$, $a, b, c, d, e, f, g, h, i$ 为各自矩阵的循环移位系数,满足 $a, b, c, d, e, f, g, h, i \in [1, 2, 3, \dots, z-1]$. $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ 为有限域矩阵 $\mathbf{A}$ 与有限域信息矢量转置 $\mathbf{u}^T$ 进行伽罗华域乘法后结果矢量, p_0, p_1, p_2, p_3 为所求校验位. 则有:

$$\begin{cases} \lambda_0 + A p_0^{(a)} + B p_1^{(b)} = 0 \\ \lambda_1 + C p_1^{(c)} + D p_2^{(d)} = 0 \\ \lambda_2 + E p_2^{(e)} + F p_3^{(f)} + G p_0^{(g)} = 0 \\ \lambda_3 + H p_0^{(h)} + I p_1^{(i)} = 0 \end{cases} \Leftrightarrow \begin{cases} \lambda_0 + A p_0^{(a)} + B p_1^{(b)} \\ \lambda_1 + C p_1^{(c)} + D p_2^{(d)} \\ \lambda_2 + E p_2^{(e)} + F p_3^{(f)} + G p_0^{(g)} \\ \lambda_3 + H p_0^{(h)} + I p_1^{(i)} \end{cases} \quad (4)$$

将式(4) 右侧等号两边求和,得到式(5)

$$\begin{aligned} & A p_0^{(a)} + E p_0^{(e)} + H p_0^{(h)} \\ & + B p_1^{(b)} + C p_1^{(c)} \\ \lambda_0 + \lambda_1 + \lambda_2 + \lambda_3 = & + D p_2^{(d)} + F p_2^{(f)} \\ & + G p_3^{(g)} + I p_3^{(i)} \end{aligned} \quad (5)$$

$$\frac{A = H, B = C, D = F, G = I}{a = h, b = c, d = f, g = i} \rightarrow E p_0^{(e)}$$

有限域的加法运算等效为按位异或运算,为了使等号右侧矢量间能够相互抵消,简化编码复杂度,则有限域系数应满足 $A = H, B = C, D = F, G = I$, 循环移位系数应满足 $a = h, b = c, d = f, g = i$.

在解得 p_0, p_1, p_2, p_3 后,其余有限域校验矢量可由式(6) 解得,其中 k_i 是子矩阵第 i 行 i 列对应矩阵的有限域系数.

$$\begin{aligned} \mathbf{P}_{i+d} &= [\mathbf{u}, p_0, p_1, p_2, p_3] \mathbf{E}_i^T / k_i \\ (i &= 0, 1, 2, \dots) \end{aligned} \quad (6)$$

2.3 校验矩阵性能

由上述结果,我们基于有限域 $\text{GF}(2^3)$ 构造校验矩阵,最终设计出多元 LDPC 码基矩阵如图 3 所示,内核矩阵码率为 3/5,通过扩展添加行列矢量,兼容

3/5、1/2、3/7、3/8 和 1/3 五种码率.

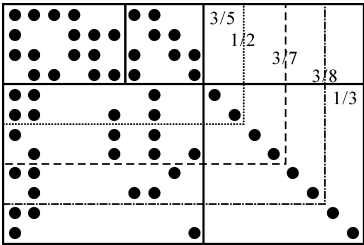


图 3 多元 LDPC 码基矩阵散点图

将图 3 中的点替换为 $Z \times Z$ 的有限域循环移矩阵,通过更改循环移位矩阵的大小,实现不同码长间的相互兼容,我们设置 Z 分别为 16, 24, 32, 48 和 64,得到的码长码率兼容情况如表 1 所示,信息位长分别由 96 个符号到 384 个符号不等,共二十五种码长码率情况.

表 1 码长码率兼容情况表

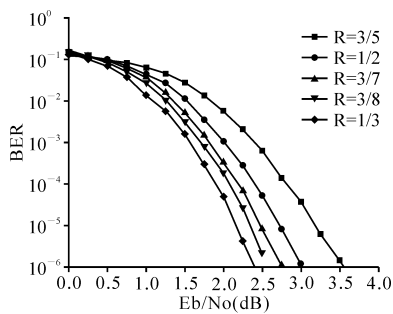
信息长/码长 (符号)	R=3/5	R=1/2	R=3/7	R=3/8	R=1/3
Z=16	96/160	96/192	96/224	96/256	96/288
Z=24	144/240	144/288	144/336	144/384	144/432
Z=32	192/320	192/384	192/448	192/512	192/576
Z=48	288/480	288/576	288/672	288/768	288/864
Z=64	384/640	384/768	384/896	384/1024	384/1152

使用 FFT-BP 译码算法在 AWGN 信道下对构造的校验矩阵进行性能仿真,设置最大译码迭代次数为 20 次,如图 4 所示为 $Z=16$ 和 $Z=64$ 时不同码率下的误比特率性能(信息位长分别等效为 288 bit 和 1 152 bit). 所构造的码在较大码率范围内都有较好的瀑布区性能,且不同信息位长都有不错的译码性能. 与文献[13]采用 IFF 设计方法构造的校验矩阵相比,本文所构造的校验矩阵拥有更加陡峭的瀑布区和更好的译码性能,且在 $\text{BER}=10^{-6}$ 时没有明显的错误平层.

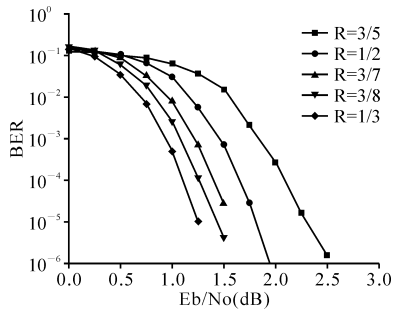
3 编码器设计

3.1 整体结构

编码器整体结构如图 5 所示,包含编码模块 1 和编码模块 2 两个编码模块. 编码模块 1 对应校验矩阵内核的编码工作,由 4 个循环移位乘法器 A 模块和一个校验位计算模块组成,循环移位乘法器 A 用来计算矩阵 $\mathbf{A}$ 与信息比特矢量转置 $\mathbf{u}^T$ 乘积的结果 $\lambda_0, \lambda_1, \lambda_2, \lambda_3$,并将结果输入至校验位计算模块,校验位计算模块根据矩阵 $\mathbf{D}$ 的对应关系,计算出 p_0, p_1, p_2, p_3 ,四个校验矢量.



(a) $Z=16$



(b) $Z=64$

图 4 误比特率性能

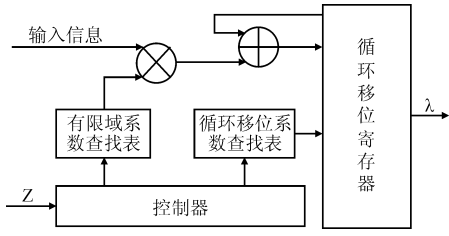


图 5 编码器整体结构图

编码模块 2 对应校验矩阵扩展部分的编码工作,由 8 个循环移位乘法器 B 模块,对应扩展出的八行矩阵. 根据输入的信息位以及 p_0, p_1, p_2, p_3 结果,计算 $p_4 \sim p_{11}$,校验位矢量. 编码器在设计时采用部分并行的设计思路,几个循环移位乘法器模块同时进行编码,即行间并行、列间串行,在编码速率与硬件开销中进行了较好的折中.

3.2 模块设计

循环移位乘法器 A、B 之间结构相同,只是对应列数不同. 循环移位乘法器内部结构如图 6 所示,编码信息逐符号输入到循环移位乘法器中,控制器根据内部的计数器与循环移位矩阵大小 z ,确定输入信息在校验矩阵中的对应位置,并通过查找表确定有限域系数和循环移位系数. 由于每个小矩阵块具有循环结构,采用循环移位寄存器可以有效的降低硬件开销. 输入的信息位与有限域系数进行乘法运算后,再与之前运算结果进行加法运算,并将计算结果存入循环移位寄存器中. 当信息位输入完成,循环移位寄存器中

存储的就是对应行矩阵与信息位的乘法结果.

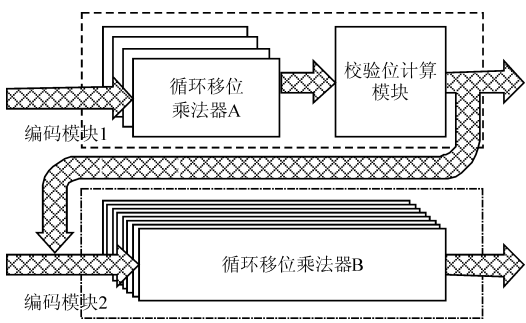


图 6 循环乘法器模块

有限域乘法在 FPGA 中使用查找表实现,如图 7 所示. 将输入数据 $data1$ 和 $data2$ 分别在 ROMA 中进行查表,将结果在八元域内做加法运算,并将加法运算结果在 ROMB 中进行查表,得到的结果就是 $data1$ 和 $data2$ 在八元域内相乘的结果. 而伽罗华域的加法运算则可等效为按位异或运算,如图 7 加法模块所示. 有限域除法运算可以转化为乘法运实现,这是由于 $GF(2^3)$ 中除 0 之外的所有的元乘法构成一个群,因此有限域除法运算可以通过存储除数的逆元,将除法运算转换成乘法运算.

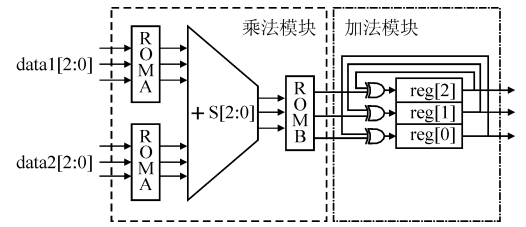


图 7 有限域运算单元

编码器由输入的码长控制信号来确定循环移位矩阵 Z 的大小,从而控制循环移位乘法器内循环次数和查找表结果,实现不同码长间的灵活切换;由输入的码率控制信号改变不同循环乘法器的输出使能,实现不同码率间的相互兼容.

3.3 实验结果

使用 ModelSim 10. 5b 对编码器进行时序和功能仿真,使用系统函数将编码结果导出与正确的编码结果比较,验证编码器的正确性. 选用 Xilinx 公司的 KC705 开发板,在 Vivado 2019. 2 平台上对编码器进行逻辑综合和布局布线,表 2 给出了编码器的资源占用情况.

表 2 编码器资源开销

资源	xc7k325tffg900-2
LUT	8329 / 203,800 (4. 09%)
FF	5214 / 407,600 (1. 28%)
BUFG	1 / 32 (3. 13%)

由于编码器主要采用查找表和异或运算进行编码操作,并且运算结果存储在循环移位寄存器中,因此并没有使用 FPGA 中的 RAM 资源,编码器整体资源占用情况较小。

$$T = \frac{K \times f}{C}$$

(7)

表 3 为编码器在不同循环移位矩阵大小下的编码性能,计算校验矢量的时钟周期 C 与循环移位矩阵大小 Z 的关系满足 $C = Z \times 11 + 5$ 。在 Xilinx xc7k325tffg900-2 芯片上,编码器工作时钟频率可达 370 MHz,根据式(7)^[14]可计算得到编码器在不同 Z 值下的吞吐率,其中吞吐率在 $Z=64$ 时达到最大,为 601.8 Mbps。

表 3 编码器性能					
编码器	Z=16	Z=24	Z=32	Z=48	Z=64
信息位长 K(bit)	288	432	576	864	1152
时钟周期 C	181	269	357	533	709
时钟频率 f(MHz)	370.4	370.4	370.4	370.4	370.4
吞吐率 T(Mbps)	589.3	594.8	597.6	600.4	601.8

4 结束语

为满足海上复杂环境下舰船间高效可靠通信的要求,本文构造了多码长码率兼容的多元 LDPC 码校验矩阵,并基于 FPGA 完成了编码器的设计。借助于高效灵活的校验矩阵结构,在占用较少硬件资源的情况下,通过简单改变控制信号实现五种信息位长、五种码率共二十五种编码方案间的灵活转换。编码器在 Xilinx xc7k325tffg900-2 芯片上成功实现,采用部分并行的设计思路,降低了编码器的硬件开销,并保证了优秀的编码效率。本文所提出的多码长多码率兼容方法可以扩展至其它码长、码率和有限域,具有一定的参考价值。

参考文献:

[1] GALLAGER R. Low-density parity-check codes[J]. IRE Transactions on Information Theory, 1962, 8 (1): 21-28.

[2] IEEE Standard for Information Technology. Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications[S]. IEEE Std 802. 11-2007 (Revision of IEEE Std 802. 11-1999), 2007: 1-1076.

[3] 3GPP. TS 38. 212 V15. 5. 0 Multiplexing and channel coding (Release 15) [EB/OL]. (2019-03-27). [2019-05-21] [http://www. 3gpp. org/dynareport/](http://www.3gpp.org/dynareport/)

38212. htm.

[4] DAVEY M C, MACKAY D J C. Low-density parity check codes over GF(q) [J]. Information Theory Workshop, 1998: 70-71.

[5] MU X J, LI H A, BAI B M. Extension method for constructing rate-compatible nonbinary LDPC codes [J]. Journal of Tsinghua University, 2018. 58(3): 243-248.

[6] HUANG J, ZHOU W, ZHOU S L. Structured Non-binary Rate-Compatible Low-Density Parity-Check Codes[J]. IEEE Communications Letters, 2011, 15 (9): 998-1000.

[7] ZHOU L, BAI B M, XU M. Design of Nonbinary Rate-Compatible LDPC Codes Utilizing Bit-Wise Shortening Method[J]. IEEE Communications Letters, 2010, 14(10): 963-965.

[8] 张萌. 基于 FPGA 的多速率 LDPC 编码器和译码器设计与实现[J]. 现代导航,2018,9(1):41-46.

[9] ZHANG Y S, PENG K W, CHEN Z M, et al. Progressive Matrix Growth Algorithm for Constructing Rate-Compatible Length-Scalable Raptor-Like Quasi-Cyclic LDPC Codes[J]. IEEE Transactions on Broadcasting, 2018,64(4): 816-829.

[10] LI H A, BAI B M, MU X J, et al. Algebra-Assisted Construction of Quasi-Cyclic LDPC Codes for 5G New Radio[J]. IEEE Access, 2018, 6: 50229-50244.

[11] MYUNG S, YANG K, KIM Y. Lifting methods for quasi-cyclic LDPC codes [J]. IEEE Communications Letters, 2006, 10(6): 489-491.

[12] BEERMANN M, WICKERT F, VARY P. Highly flexible design of multi-rate multi-length quasi-cyclic LDPC codes[C]. 2014 8th International Symposium on Turbo Codes and Iterative Information Processing (ISTC), Bremen, 2014: 37-41.

[13] 徐华. 一种改进的基于有限域的准循环 LDPC 码设计方法[J]. 微电子学与计算机,2014,31(10):147-150.

[14] 刘冬培, 刘衡竹, 张波涛. 基于准循环双对角阵的 LDPC 码编码算法[J]. 国防科技大学学报, 2014, 36 (2):156-160.

作者简介:

廉晶汇 男,(1994-),硕士研究生.研究方向为信道编译码算法以及硬件实现. E-mail:s317080051@hrbeu.edu.cn

赵旦峰 男,(1961-)教授、博士生导师.研究方向为通信信号处理、无线通信技术、水声通信技术、视频信号处理以及半实物(物理)仿真技术等。

朱鹏景 男,(1995-),硕士研究生.研究方向为信道编码。